



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010008926 (43) Publication Date. 20010205

(21) Application No.1019990027018 (22) Application Date. 19990706

(51) IPC Code:

H01L 23/31

(71) Applicant:

SAMSUNG ELECTRONICS CO., LTD.

(72) Inventor:

JUNG, IL GYU

KANG, SEON WON

KWON, DAE HUN

(30) Priority:

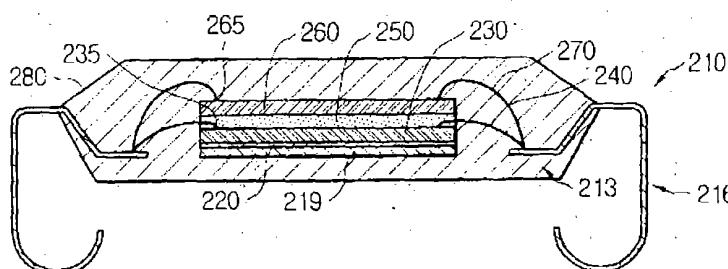
(54) Title of Invention

METHOD FOR MANUFACTURING MULTILAYERED SEMICONDUCTOR CHIP PACKAGE

Representative drawing

(57) Abstract:

PURPOSE: A method for manufacturing a multilayered semiconductor chip package is provided to minimize the package in size, by stacking at least two semiconductor chips wherein the chips are the same in size and positions of the bonding pads are the same.



CONSTITUTION: A semiconductor chip(230) is adhered to a die pad(219) of a lead frame (210) which is composed of the die pad, an inner lead(213) and an outer lead. A bonding pad(235) of the semiconductor chip is wire-bonded to the inner lead. A non-conductive adhesive material(250) is applied on the semiconductor chip not to expose the wire located on the semiconductor chip. Another semiconductor chip(260) is adhered to an upper surface of the non-conductive adhesive material. A bonding pad(265) of another semiconductor chip is wire-bonded to the inner lead(213). The semiconductor chip and the lead frame are molded.

COPYRIGHT 2001 KIPO

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. 6

H01L 23 /31

(11) 공개번호 특2001-0008926

(43) 공개일자 2001년02월05일

(21) 출원번호 10-1999-0027018

(22) 출원일자 1999년07월06일

(71) 출원인 삼성전자 주식회사 윤종용

경기 수원시 팔달구 매단3동 416

(72) 발명자 정일규

경기도의왕시오전동842번지목련아파트 102동303호

강선원

서울특별시동작구상도1동575-1신한일빌라102호

권대준

서울특별시구로구가리봉1동139번지25동7반효성아파트802호

(74) 대리인 임평설

설사첨구 : 없음

(54) 다층 반도체 칩 패키지 제작 방법

요약

본 발명은 크기 및 본딩 패드의 위치가 동일한 2개 이상의 반도체 칩을 적층하여 패키지한 다층 반도체 칩 패키지 제작 방법에 관한 것으로, 본 발명에 의하면 동일한 크기를 갖는 적어도 2 개 이상의 반도체 칩 중 어느 하나의 반도체 칩의 본딩 패드와 인너 리드를 와이어 본딩한 후, 와이어 본딩된 반도체 칩의 상면으로부터 와이어가 노출되지 않도록 비전도성 절착물질을 도포한 다음 반도체 칩의 상면에 또 다른 반도체 칩을 만착시킨 후, 상부에 위치한 반도체 칩과 리드 프레임의 해당 인너 리드를 와이어 본더에 의하여 와이어 본딩함으로써 그 크기를 최소화할 수 있으며, 반도체 패키지의 성능 및 칩적도가 크게 향상된다.

대표도

도5f

명세서

도면의 간단한 설명

도 1은 종래 다층 반도체 칩 패키지의 올드를 제거한 상태의 사시도.

도 2는 종래 다층 반도체 칩 패키지의 다른 일례를 도시한 개별도.

도 3은 본 발명에 의한 다층 반도체 칩 패키지의 올드를 제거한 상태의 사시도.

도 4는 도 3의 B-B 단면도.

도 5는 본 발명에 의한 다층 반도체 칩 패키지의 제작 과정의 일실시예를 도시한 설명도.

도 6은 본 발명에 의한 다층 반도체 칩 패키지의 다른 실시예를 도시한 설명도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 다층 반도체 칩 패키지 제작 방법에 관한 것으로 특히, 크기 및 본딩 패드의 위치가 동일한 2개 이상의 반도체 칩을 적층하여 패키지로 제작한 다층 반도체 칩 패키지 제작 방법에 관한 것이다.

최근, 전자 및 정보기기의 다기능화, 고속화 및 대용량화에 대응하고 메모리 모듈의 실장밀도를 향상시켜 전자 및 정보기기를 소형화시키기 위해서 여러개의 반도체 패키지를 수직 또는 수평으로 적층시킨 적층형 반도체 패키지가 개발되고 있다.

다른 한편으로, 하나의 패키지에 복수개의 반도체 칩을 실장한 후, 반도체 칩과 리드 프레임을 와이어 본딩함으로써 반도체 패키지의 용량을 대형화하거나 처리 속도를 빠르게 하는 다층 반도체 칩 패키지가 개발되고 있다.

도 1에는 다층 반도체 칩 패키지(100)의 일례가 도시되어 있는 바, 도 1은 다층 반도체 칩 패키지(100)의 올드 부분을 제거한 후 반도체 칩(10,20)과 리드 프레임(40) 및 반도체 칩(10,20)과 리드 프레임(40)을 전기적으로 연결하는 와이어(50)의 사시도가 도시되고 있다.

이때, 다층 반도체 칩 패키지(100)중 하부에 위치한 반도체 칩(10)은 반드시 상부에 위치한 반도체 칩(20)보다 크기가 커야만 하는데, 이는 하부에 위치한 반도체 칩(10)과 리드 프레임(40)이 와이어 본딩되기 위해서는 필연적으로 최소 이격 거리 W를 필요로 하기 때문이다.

이와 같은 최소 이격 거리 W에 의하여 동일한 크기를 갖는 2 개의 반도체 칩을 겹쳐서 다층 반도체 칩 패키지를 제작하는데 많은 어려움이 있음으로 주로 하부 반도체 칩(10)으로 칩 크기가 비교적 큰 메모리 반도체 칩을 사용하고, 상부 반도체 칩(20)으로 칩 크기가 비교적 작은 비 메모리 반도체 칩을 사용하여 다층 반도체 칩 패키지(100)를 제작한다.

도 2에는 다층 반도체 칩 패키지(200)의 다른 일례가 도시되어 있는 바, 도 2의 다층 반도체 칩 패키지(200)는 크기가 동일한 2 개의 반도체 칩(110, 120)의 후면이 서로 마주보도록 위치시킨 후, 외부를 향하고 있는 반도체 칩(110, 120)의 본딩 패드(115, 125)에 리드 프레임(130)의 인너 리드(133)를 안착시킨 상태로 접속하여 2 개의 반도체 칩(110, 120)으로 이루어진 다층 반도체 칩 패키지(200)를 제작한 것이 도시되어 있다.

그러나, 도 1의 일례에 따르면 동일한 크기를 갖는 반도체 칩 예를 들면, 비 메모리 반도체 칩 2 개 이상, 메모리 반도체 칩 2 개 이상을 앞서 언급하였듯이 와이어 본딩 과정에서의 어려움으로 인하여 다층으로 제작하는데 많은 어려움이 있다.

또한, 이와 같은 문제점을 극복 가능한 도 2의 일례에 의하면 동일한 크기를 갖는 반도체 칩 2 개(110, 120)를 다층 반도체 칩 패키지(200)로 제작하는 것이 가능하지만, 이 경우 단지 크기가 동일한 2 개의 반도체 칩(110, 120)만을 다층 반도체 칩 패키지(200)로 제작하는 것이 가능하고, 3 개 이상의 다층 반도체 칩을 다층으로 적층하여 다층 반도체 칩 패키지(200)를 제작하기 위해서는 또 다른 방법을 강구해야 하는 어려움이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 이와 같은 종래 문제점을 감안한 것으로써, 본 발명의 목적은 크기 및 본딩 패드의 위치가 동일한 동일 종류의 반도체 칩을 적어도 2 개 이상 다층으로 적층할 수 있는 다층 반도체 칩의 제작 방법을 제공함에 있다.

본 발명의 다른 목적은 후술될 본 발명의 상세한 설명에서 보다 명확해질 것이다.

발명의 구성 및 작용

이와 같은 본 발명의 목적을 달성하기 위한 다층 반도체 칩 패키지는 다이 패드, 인너 리드, 아웃터 리드로 구성된 리드 프레임의 다이 패드에 반도체 칩을 접착하고, 반도체 칩의 본딩 패드와 인너 리드를 와이어 본딩한 후, 반도체 칩의 상면에 위치한 와이어가 노출되지 않도록 반도체 칩의 상면에 비전도성 접착물질을 도포하고, 비전도성 접착물질의 상면에 다른 반도체 칩을 접착한 후, 다른 반도체 칩의 본딩 패드와 인너 리드를 와이어 본딩하고, 반도체 칩 및 리드 프레임을 몰딩하여 제작한다.

이하, 본 발명에 의한 다층 반도체 칩 패키지의 제작 방법을 첨부된 도면을 참조하여 설명하면 다음과 같다.

먼저, 도 3 또는 도 4에는 본 발명에 의한 제작 방법에 의하여 제작된 본 발명에 의한 다층 반도체 칩 패키지(300)의 사시도 및 단면도가 도시되어 있는 바, 도 3은 본 발명에 의한 다층 반도체 칩 패키지(300)의 몰드를 제거한 상태의 사시도이고, 도 4는 도 3의 B-B 단면도이다.

첨부된 도 3 또는 도 4를 참조하여, 본 발명에 의한 다층 반도체 칩 패키지(300)의 구성을 살펴보면, 다층 반도체 칩 패키지(300)는 일실시예로 인너 리드(213), 아웃터 리드(216) 및 다이 패드(219)로 구성된 리드 프레임(210), 다이 패드(219)에 접착제(220, 도 4 참조)에 의하여 고정된 제 1 반도체 칩(230), 제 1 반도체 칩(230)의 본딩 패드와 리드 프레임(210)의 인너 리드(213)를 전기적으로 연결하는 제 1 와이어(240), 제 1 와이어(240)가 윤히도록 제 1 반도체 칩(230)의 상면에 도포되는 비전도성 접착물질(250), 제 1 와이어(240)와 쇼트되지 않도록 비전도성 접착물질(250)의 상면에 접착되는 제 2 반도체 칩(260), 제 2 반도체 칩(260)의 본딩 패드(265)와 리드 프레임(210)의 다른 인너 리드를 전기적으로 연결하는 제 2 와이어(270) 및 제 2 반도체 칩(260), 제 2 와이어(270) 및 인너 리드(213)를 감싸는 몰드 수지(280, 가상선으로 도시)로 구성된다.

이와 같이 구성된 본 발명에 의한 다층 반도체 칩 패키지의 제작 방법을 첨부된 도 5를 참조하여 설명하면 다음과 같다.

먼저, 도 5a에 도시된 바와 같이 리드 프레임(210)의 다이 패드(219)에 반도체 칩 제조 공정에 의하여 이미 제작된 제 1 반도체 칩(230)의 후면을 부착하기 위한 접착제(220)를 소정량 도포한다.

이후, 도 5b에 도시된 바와 같이 다이 패드(219)의 접착제(220)에 제 1 반도체 칩(230)의 후면을 안착한 후, 경화시키고 제 1 반도체 칩(230)의 애지(edge)에 형성된 본딩 패드(235)와 리드 프레임(210)의 인너 리드(213)를 와이어 본더

에 의하여 와이어(240)로 본딩한다. 이때, 와이어(240)를 제 1 와이어라 칭하기로 한다.

도 5b 공정에 의하여 제 1 반도체 칩(230)의 본딩 패드(235)와 인너 리드(213)가 와이어 본딩되면, 도 5c에 도시된 바와 같이 제 1 반도체 칩(230)의 상면에 비전도성 접착물질(250)을 도포한다.

이때, 비전도성 접착물질(250)의 두께는 매우 중요하다.

비전도성 접착물질(250)은 제 1 반도체 칩(230)의 상면에 형성된 본딩 패드(235)에 접속된 제 1 와이어(240)가 노출되지 않을 정도로 두껍게 제 1 반도체 칩(230)의 상면에 도포한다.

이후, 도 5d에 도시된 바와 같이 비전도성 접착물질(250)의 상면에 제 2 반도체 칩(260)의 후면을 접착시킨다.

이어서, 도 5e에 도시된 바와 같이 제 2 반도체 칩(260)의 상면에 형성된 본딩 패드(265)와 인너 리드(213)를 제 2 와이어(270)에 의하여 와이어 본딩한 후, 도 5f에 도시된 바와 같이 제 1 반도체 칩(230)-제 1 와이어(240)-비전도성 접착물질(250)-제 2 반도체 칩(260)-제 2 와이어(270) 및 리드 프레임(210)의 인너 리드(213)를 롤드 수지(280)로 롤딩한 후, 도시되지 않은 포밍/트리밍 공정 및 테스트 공정을 수행하여 다층 반도체 칩 패키지(300)를 제작한다.

한편, 도 6에는 본 발명에 의한 다층 반도체 칩 패키지(400)의 다른 일실시예가 도시되어 있는 바, 도 6의 일실시예는 리드 프레임(310)의 다이 패드의 앞면, 뒷면에 모두 접착제(320)를 부착한 후, 2 개의 제 1, 제 2 반도체 칩(330, 340)을 다이 어택치하고, 제 1, 제 2 반도체 칩(330, 340)의 본딩 패드(335, 345)를 리드 프레임의 해당 인너 리드(313)에 제 1, 제 2 와이어(350, 360)로 와이어 본딩한다.

이후, 제 1, 제 2 반도체 칩(330, 340)의 상면에는 비전도성 접착물질(370)을 도포하되, 제 1, 제 2 와이어(350, 360)가 비전도성 접착물질(370)의 외부로 둘출되지 않도록 도포한다.

이어서, 비전도성 접착물질(370)의 상부에 제 3, 제 4 반도체 칩(380, 390)을 접착하고, 제 3, 제 4 반도체 칩(380, 390)의 상부에 형성된 본딩 패드(385, 395)와 리드 프레임(310)의 해당 인너 리드(313)를 제 3, 제 4 와이어(396, 397)로 와이어 본딩한다.

이후, 제 1, 제 2 반도체 칩(330, 340)-제 1, 제 2 와이어(350, 360)-비전도성 접착물질(370)-제 3, 제 4 반도체 칩(380, 390)-제 3, 제 4 와이어(396, 397)를 롤드 수지에 의하여 롤딩한 후, 트리밍/포밍 공정 및 테스트 공정을 거쳐 도 6에 도시된 다층 반도체 칩 패키지(400)가 제작된다.

본 발명에서는 바람직한 일실시예로 리드 프레임의 다이 패드의 일측면에 2 개의 반도체 칩 또는 다이 패드의 양측면에 4 개의 반도체 칩을 다층으로 적층한 것이 설명되고 있지만, 최근들어 반도체 칩의 두께가 점차 얕아지고 있는 추세로 볼때, 적어도 3 개 이상의 동일한 크기를 반도체 칩을 하나의 반도체 패키지에 다층으로 형성하는 것 또한 가능하다.

발명의 효과

이상에서 상세하게 살펴본 바와 같이 동일한 크기를 갖는 적어도 2 개 이상의 반도체 칩 중 어느 하나의 반도체 칩의 본딩 패드와 인너 리드를 와이어 본딩한 후, 와이어 본딩된 반도체 칩의 상면으로부터 와이어가 노출되지 않도록 비전도성 접착물질을 도포한 다음 반도체 칩의 상면에 또 다른 반도체 칩을 안착시킨 후, 상부에 위치한 반도체 칩과 리드 프레임의 해당 인너 리드를 와이어 본더에 의하여 와이어 본딩함으로써 그 크기를 최소화할 수 있으며, 반도체 패키지의 성능 및 집적도가 크게 향상되는 효과가 있다.

청구항 1. 다이 패드, 인너 리드, 아웃터 리드로 구성된 리드 프레임의 상기 다이 패드에 반도체 칩을 접착하는 단계와;

상기 반도체 칩의 본딩 패드와 상기 인너 리드를 와이어 본딩하는 단계와;

상기 반도체 칩의 상면에 위치한 상기 와이어가 노출되지 않도록 상기 반도체 칩의 상면에 비전도성 접착물질을 도포하는 단계와;

상기 비전도성 접착물질의 상면에 다른 반도체 칩을 접착하는 단계와;

상기 다른 반도체 칩의 본딩 패드와 인너 리드를 와이어 본딩하는 단계와;

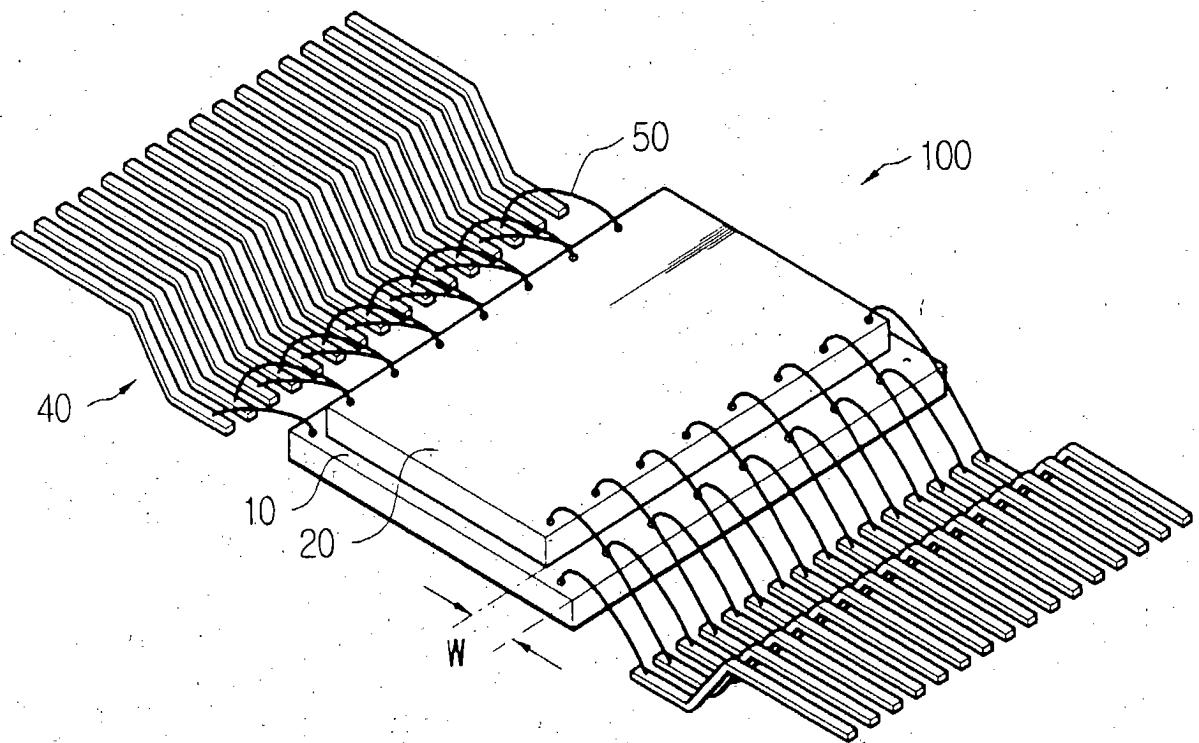
상기 반도체 칩, 상기 리드 프레임을 물딩하는 단계를 포함하는 다층 반도체 칩 제작 방법.

청구항 2. 제 1 항에 있어서, 상기 반도체 칩은 적어도 3 개 이상으로, 상기 반도체 칩과 상기 반도체 칩의 사이에는 상기 비전도성 접착물질이 형성된 다층 반도체 칩 제작 방법.

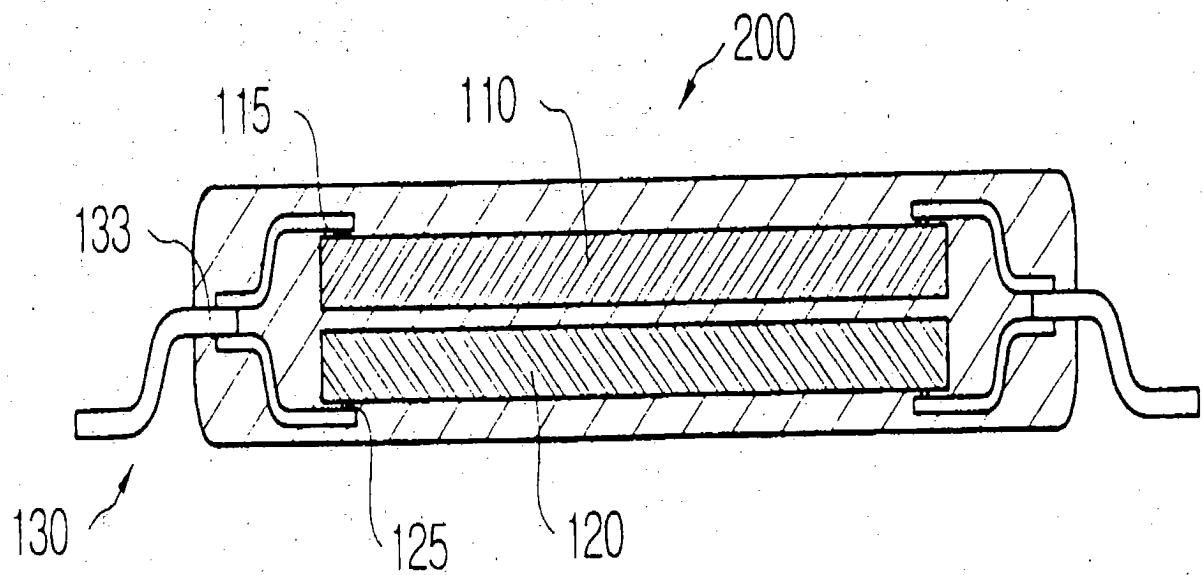
청구항 3. 제 1 항에 있어서, 상기 반도체 칩은 상기 리드프레임의 상기 다이패드의 양면에 모두 형성된 다층 반도체 칩 제작 방법.

도면

도면 1



도면2



도면3